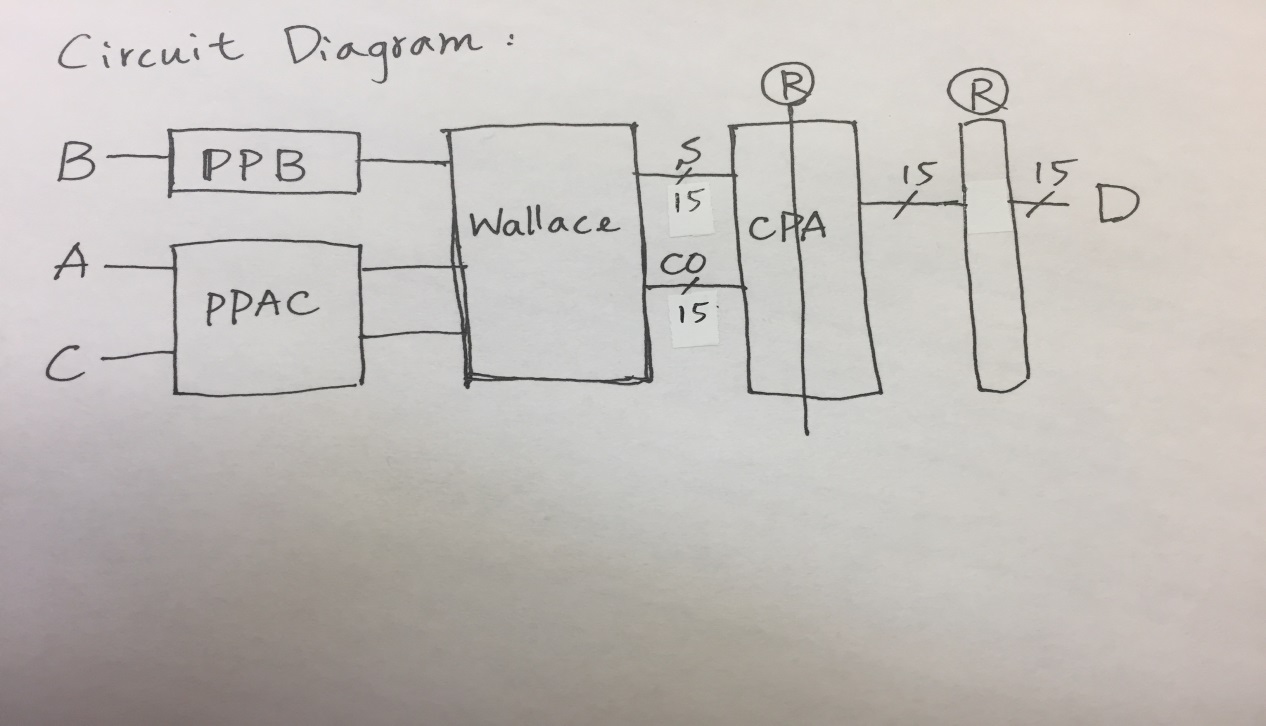
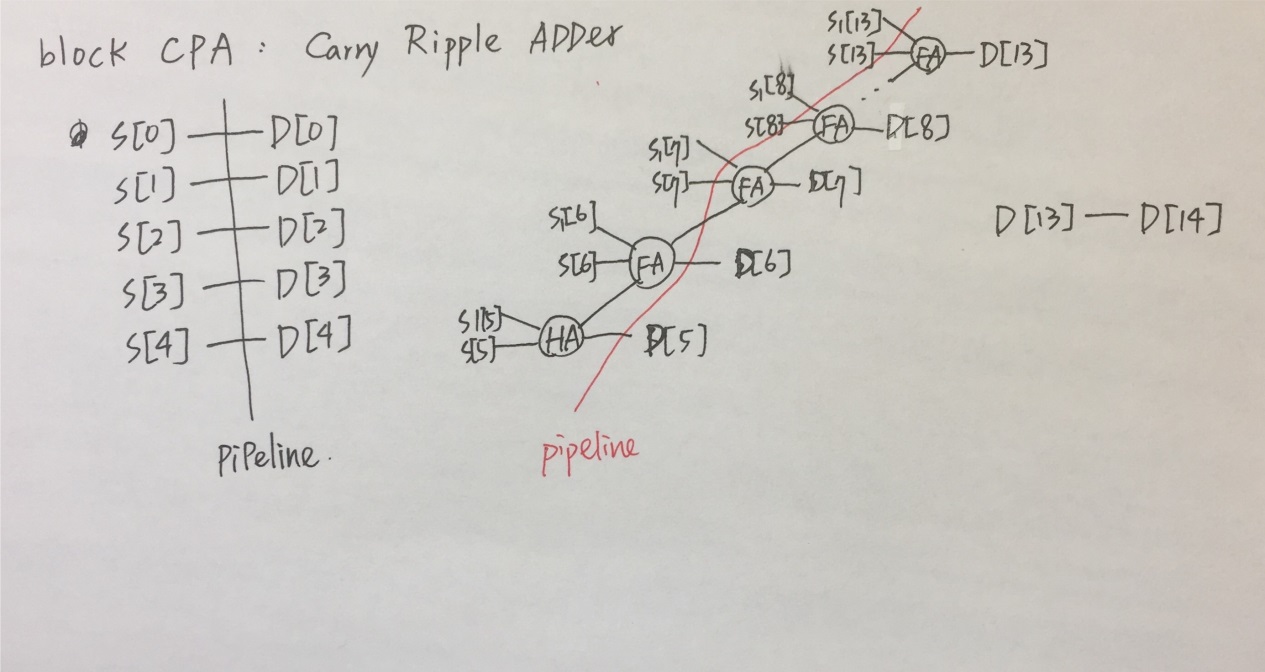
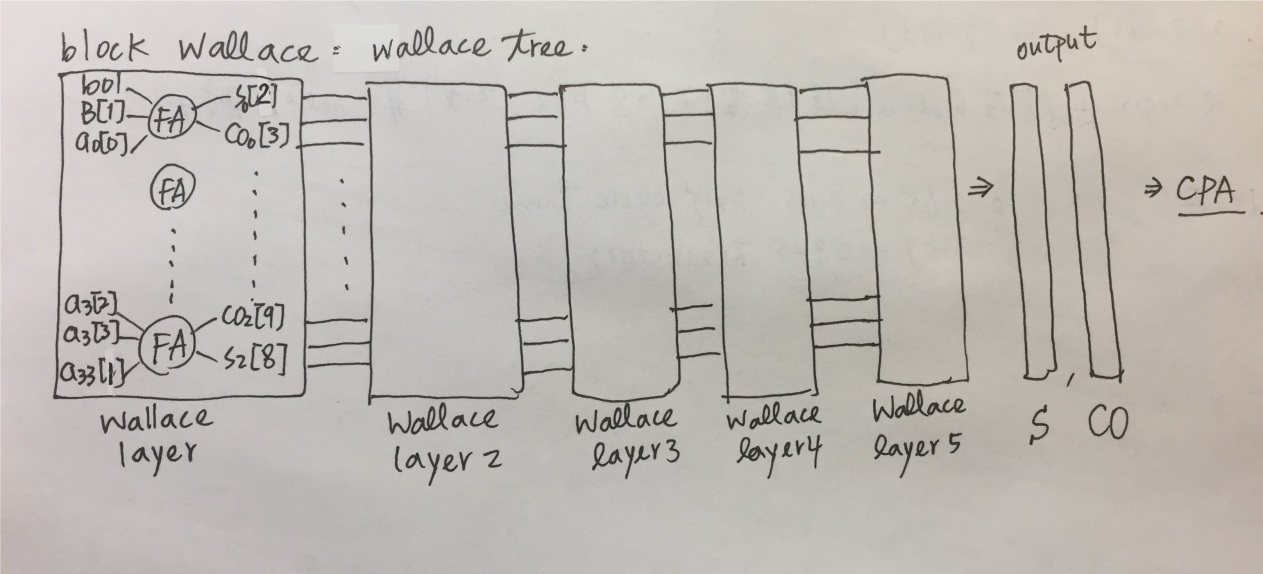
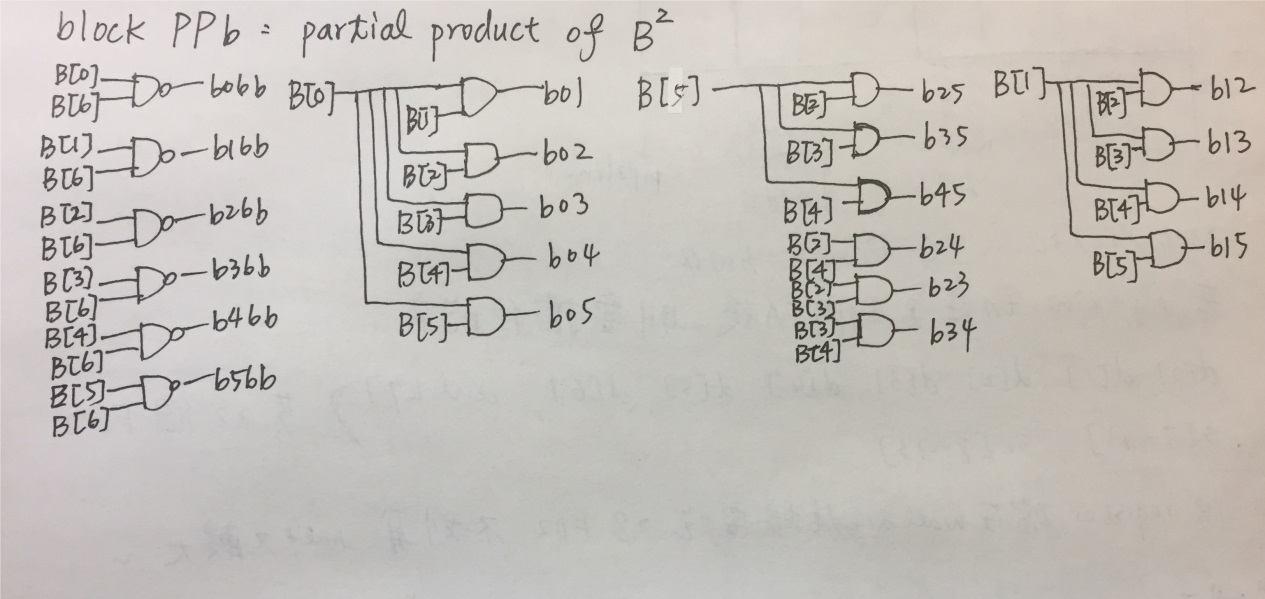
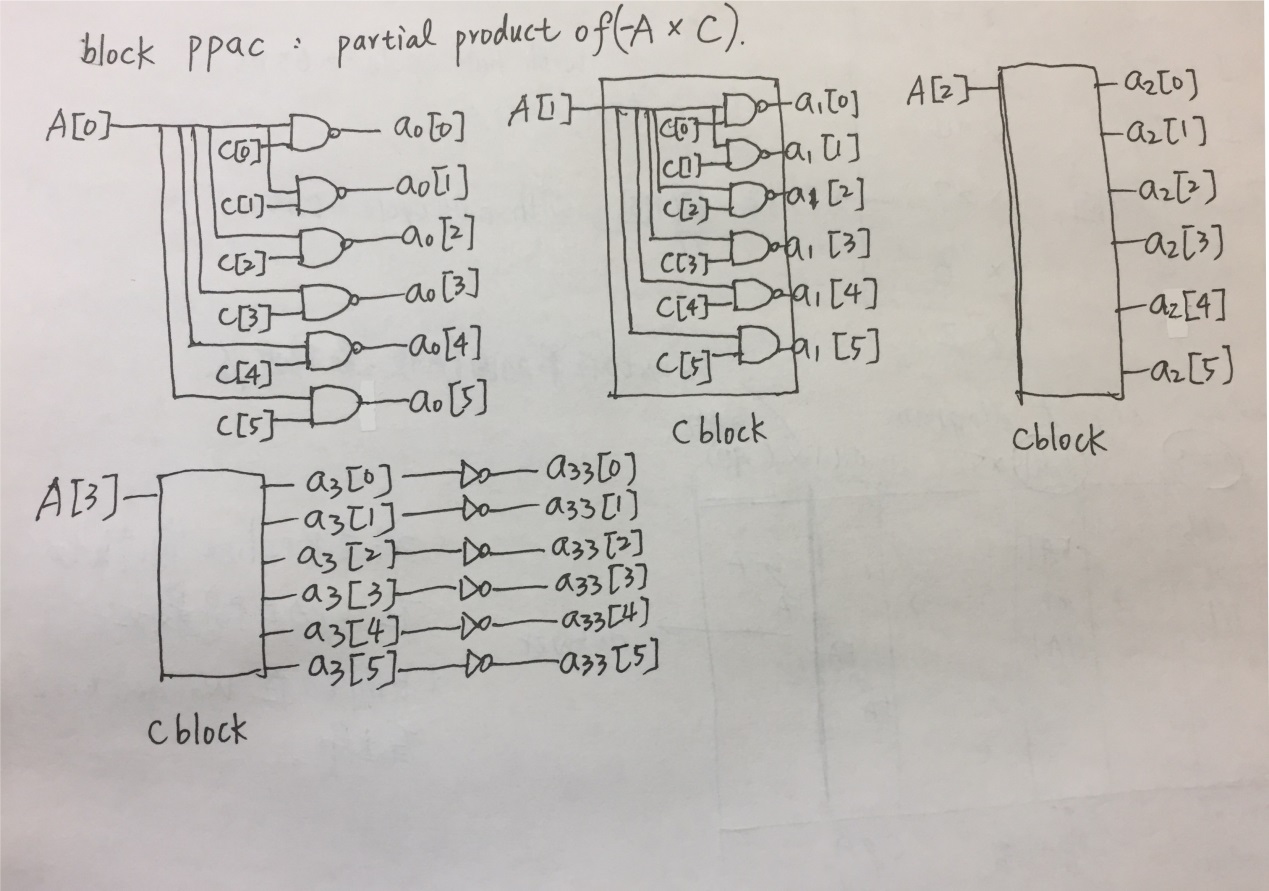
IC Design HW4 Report

B02502108

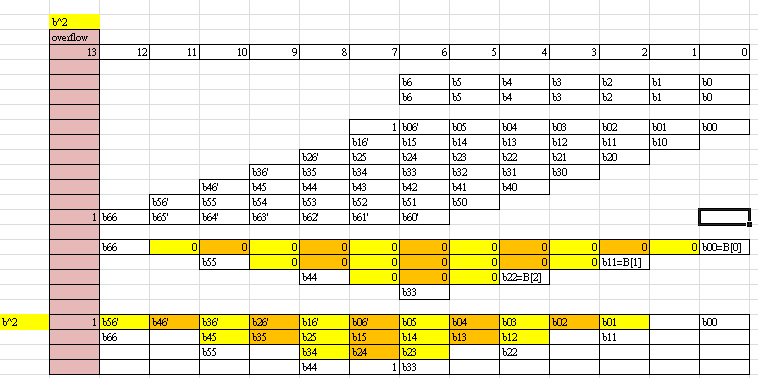
陶昇永

1. Circuit diagram:

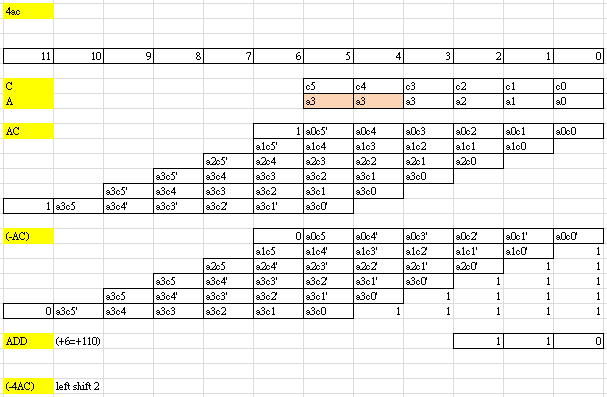


Excel 試算表:

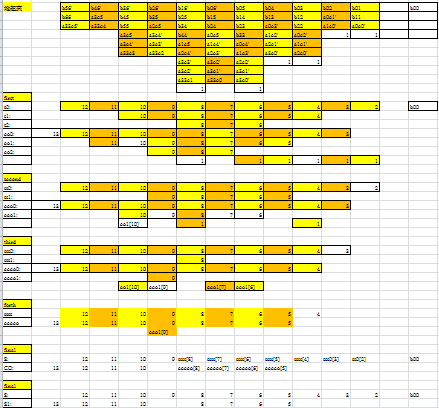
B^2:



-4AC:



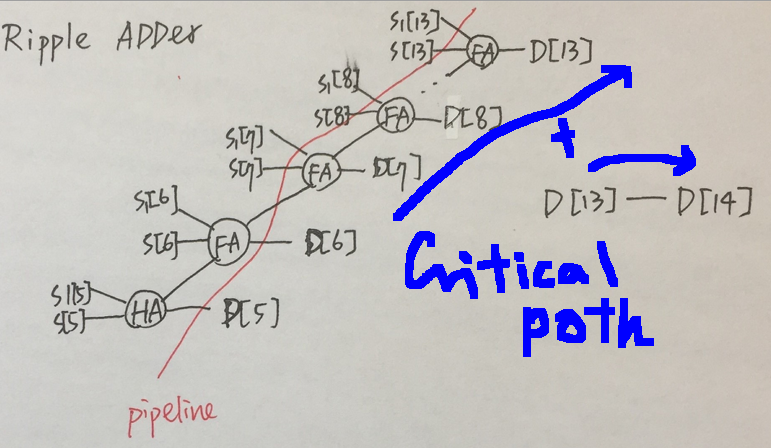
將B^2和-4AC堆起來做Wallace Tree:



1. Simulation:

Minimum half-cycle time: 2.45ns

Critical path:在carry ripple adder處，我約略計算了一下，將CRA切成兩半，而後半為critical path 所在位置。



Number of transistors:

AN2 29\*6

ND2 26\*4

FA1 53\*26

HA1 17\*14

FD2 37\*27

EO 4\*8

IV 10\*2

Total 2945 transistors

Minimum half-cycle time\* number of transistors = 7125.25(ns).

1. Discussion:
2. 我剛開始用Booth Encoding，後來發現不是很直觀，而且有點難寫。加上後來發現B^2可以化簡，但Booth Encoding會破壞B^2對稱的性質，故捨棄，改用直式乘法來做B^2-4AC。
3. B^2的地方，由於B10和B01相等，故兩者可只算一次，再加上2\*B01即進位，因此變為左一位有B01，而原本這一位是空的，因此會減少很多運算量與partial products的層數。
4. 做-4AC時，我直接將每一層的AC partial products做反向。而這可以用NAND Gate來實現，十分的有效率，最後記得在每一層的LSB處+1，因為這是2’s complement，而這用最後多加一層111111來實現。
5. 我接著將B^2跟-4AC的partial products疊在一起做Wallace tree的化簡，這樣會讓Wallace tree使用最少的HA，能用FA盡量用，減少層數。
6. 如此一來衍生的問題是，最後要餵給CPA的S跟CO，其MSB已經不再和原B^2, -4AC的sign相同，而會造成sign extension的錯誤。最後我用簡單的判斷式toggle 其 sign，讓最後的結果是正確無誤的。